

Оглавление

Предисловие ко второму изданию	3
Введение	5
Глава 1. Предварительное знакомство с языком Verilog	9
1.1. История языка Verilog	9
1.2. Первый проект на языке Verilog	10
1.2.1. Описание проекта	10
1.2.2. Моделирование проекта	16
1.3. Базовые элементы языка Verilog	18
1.3.1. Ключевые слова	18
1.3.2. Идентификаторы	19
1.3.3. Белые знаки	20
1.3.4. Комментарии	20
1.4. Сигналы, сети, драйверы	20
1.4.1. Логические значения	21
1.4.2. Логическая мощность (сила) сигналов	22
1.5. Числа	22
1.5.1. Представление целых чисел	22
1.5.2. Представление действительных чисел	24
1.6. Параллелизм языка Verilog	25
Глава 2. Модули	26
2.1. Определение модулей	26
2.2. Элементы модулей	27
2.3. Объявления портов	28
2.4. Экземпляры модулей	30
2.5. Параметры	33
2.6. Неявная передача значений параметров	35
2.7. Массивы экземпляров модулей	35
2.8. Иерархия модулей и иерархия имен	38
2.9. Области иерархии и области действия имен	39
Глава 3. Примитивы и библиотечные модули	41
3.1. Где можно найти готовое решение	41
3.2. Примитивы языка Verilog	42
3.3. Примитивы, определяемые пользователем	46
Глава 4. Типы данных	51

4.1. Два класса типов данных	51
4.2. Сетевые типы данных	52
4.3. Значение сигнала сети	54
4.4. Типы данных переменные	56
4.5. Другие типы данных	58
4.5.1. Параметры	58
4.5.2. Локальные параметры	59
4.5.3. Параметры блока спецификации	59
4.5.4. Переменные генерации	59
4.5.5. Тип данных событие	60
4.5.6. Строки	60
4.6. Выбор битов и битовых полей	61
4.7. Выбор элементов массива и битовых полей элементов массива	62
4.8. Объявление памяти	62
Глава 5. Операции	64
5.1. Операции языка Verilog	64
5.2. Побитовые операции	64
5.3. Операции редукции	66
5.4. Логические операции	68
5.5. Операции отношения	69
5.6. Операции идентичности	71
5.7. Арифметические операции	71
5.8. Разносторонние операции	72
5.9. Выполнение операций	73
5.10. Приоритет операций	76
5.11. Размеры битовых выражений	76
Глава 6. Оператор непрерывного назначения assign ...	78
6.1. Присваивание значений в языке Verilog	78
6.2. Форматы оператора непрерывного назначения	79
6.3. Использование оператора непрерывного назначения ..	80
Глава 7. Процедурные операторы и блоки	84
7.1. Процедурные операторы initial и always , процедурные блок	84
7.2. Операторные скобки begin-end и fork-join	84
7.3. Именованные процедурные блоки	85
7.4. Формат процедурных блоков	86
Глава 8. Управление процедурным временем	89
8.1. Оператор задержки #	89
8.2. Оператор чувствительности @	89
8.3. Оператор ожидания wait	90

8.4. Список чувствительности	90
8.5. Список чувствительности в комбинационных схемах ..	92
8.6. Список чувствительности в последовательностных схемах	94
Глава 9. Операторы процедурного назначения	96
9.1. Общие положения	96
9.2. Оператор блокирующего назначения «=»	97
9.2.1. Формат	97
9.2.2. Управление временем	100
9.2.3. Внутренние задержки	101
9.2.4. Особенности синтеза	103
9.3. Оператор неблокирующего назначения «<=»	104
9.3.1. Формат	104
9.3.2. Управление временем	105
9.3.3. Внутренние задержки	107
9.3.4. Особенности синтеза	108
9.4. Управление временем в процедурных операторах назна- чения во время моделирования	109
9.5. Процедурные операторы <code>assign</code> и <code>deassign</code>	113
9.6. Процедурные операторы <code>force</code> и <code>release</code>	114
Глава 10. Операторы процедурного программирования	117
10.1. Общие положения	117
10.2. Оператор <code>if-else</code>	117
10.3. Оператор <code>case</code>	121
10.4. Операторы <code>casez</code> и <code>casex</code>	125
10.5. Оператор <code>for</code>	127
10.6. Оператор <code>while</code>	129
10.7. Оператор <code>repeat</code>	130
10.8. Оператор <code>forever</code>	132
10.9. Оператор <code>disable</code>	133
10.10. Пример использования операторов процедурного про- граммирования	134
10.11. Различие между операторами <code>wait</code> и <code>while</code>	135
Глава 11. Атрибуты	139
11.1. Атрибуты языка Verilog	139
11.2. Атрибут <code>full_case</code>	140
11.3. Атрибут <code>parallel_case</code>	141
Глава 12. Блок генерации	146
12.1. Блоки генерации языка Verilog	146
12.2. Формат блока генерации	147
12.3. Операторы генерации	147

12.3.1. Группа элементов генерации	147
12.3.2. Оператор <code>if-else</code>	148
12.3.3. Оператор <code>case</code>	149
12.3.4. Оператор <code>for</code>	150
Глава 13. Задачи и функции	152
13.1. Задачи и функции языка Verilog	152
13.2. Автоматические и статические задачи и функции	152
13.3. Задачи	153
13.4. Функции	155
13.5. Константные функции	157
13.6. Сравнение функций и задач	158
Глава 14. Системные задачи и функции	160
14.1. Системные задачи и функции языка Verilog	160
14.2. Системные задачи для отображения текста	160
14.3. Системные задачи и функции для работы с файлами .	162
14.3.1. Открытие и закрытие файлов	162
14.3.2. Вывод информации в файл	163
14.3.3. Другие функции работы с файлами	164
14.4. Другие системные задачи и функции	165
14.4.1. Управление процессом симуляции	165
14.4.2. Управление временем симуляции	165
14.4.3. Преобразование знаковых и беззнаковых величин	166
14.4.4. Запись и чтение в переменные и из строки сим- волов	166
14.4.5. Загрузка содержимого памяти	167
14.4.6. Преобразование переменных типа <code>real</code> в 64-бито- вый вектор	167
14.4.7. Функции для работы с командной строкой	168
Глава 15. Директивы компилятора	170
15.1. Директивы компилятора языка Verilog	170
15.2. Возврат к умалчиваемым значениям директив компи- лятора	170
15.3. Определение значения единицы времени	170
15.4. Макроопределения	171
15.5. Директивы условной компиляции	172
15.6. Включение файлов	172
15.7. Определение умалчиваемого типа цепей	172
15.8. Определение логических значений для неподсоединен- ных входов	173
15.9. Определение пользовательских библиотек	173
Глава 16. Блоки спецификаций	175

16.1. Блоки спецификаций языка Verilog	175
16.2. Формат блоков спецификаций	175
16.3. Обнаружение путей импульсов (сбоев)	178
16.4. Проверки временных ограничений	179
Глава 17. Конфигурация проекта	181
17.1. Конфигурации	181
17.2. Конфигурационные блоки	181
17.3. Файлы карты библиотеки	183
17.4. Примеры конфигурации проекта	184
17.4.1. Исходное описание проекта	184
17.4.2. Использование конфигурации, заданной в файле карты библиотек	185
17.4.3. Использование оператора default	185
17.4.4. Использование оператора cell	186
17.4.5. Использование оператора instance	186
17.4.6. Использование иерархической конфигурации ...	186
Глава 18. Синтезируемые конструкции языка Verilog .	188
18.1. Общие положения	188
18.2. Конструкции языка Verilog, поддерживаемые пакетом Quartus II фирмы Altera	190
Глава 19. Комбинационные схемы	194
19.1. Методика проектирования комбинационных схем	194
19.1.1. Описание функционирования комбинационной схемы	195
19.1.2. Минимизация булевых функций	197
19.1.3. Представление комбинационной схемы в виде со- вокупности логических уравнений или в виде ал- горитма	197
19.1.4. Создание кода комбинационной схемы на языке Verilog	198
19.2. Стандартные функциональные узлы комбинационного типа	201
Глава 20. Конечные автоматы	209
20.1. Структурные модели конечных автоматов	209
20.2. Представление конечных автоматов	210
20.3. Описание конечных автоматов на языке Verilog	212
20.3.1. Описание автомата Мили	212
20.3.2. Описание автомата Мура	214
20.4. Кодирование внутренних состояний конечных авто- матов	216
20.5. Стандартные функциональные узлы последовательно- стного типа	219

Глава 21. Блоки памяти	223
21.1. Способы описания памяти	223
21.2. Инициализация памяти	226
21.3. Однопортовая память с двумя синхросигналами	226
21.4. Простая двухпортовая память	227
21.5. Действительно двухпортовая память	228
21.6. Память типа ROM	229
21.7. Реализация сдвиговых регистров в блоках встроенной памяти FPGA	230
21.8. Память FIFO	232
21.9. Память LIFO	235
Глава 22. Традиционная методика проектирования цифровых устройств	238
22.1. Умножение двоичных чисел	238
22.2. Традиционный подход при реализации синхронного умножителя	239
22.3. Описание на языке Verilog синхронного умножителя ..	242
Глава 23. Методика ASMD-FSMD проектирования цифровых устройств	247
23.1. Блок-схемы автоматов ASM	247
23.2. Блок-схемы ASMD и конечные автоматы с трактом об- работки данных FSM D	249
23.3. Описание методики ASMD-FSMD	253
23.4. Реализации синхронного умножителя с помощью мето- дики ASMD-FSMD	254
23.5. Экспериментальные исследования	235
Заключение	260
Литература	262
Список сокращений	266
Предметный указатель	268
Список листингов	273