

Оглавление

От автора	3
Введение	4
1. Начальные сведения о цифровой электронике и архитектуре ПЛИС Xilinx	6
1.1. Основы схемотехники цифровых устройств	7
1.2. Архитектуры ПЛИС SPLD и CPLD	25
1.3. Архитектура ПЛИС FPGA	26
1.4. Аппаратный состав и области применения ПЛИС FPGA	33
1.5. Логические ячейки ПЛИС FPGA	43
1.6. Блоки ввода-вывода	50
1.7. Блочная память	56
1.8. Секции DSP48	59
1.9. Тактовые ресурсы	64
1.10. Высокоскоростные последовательные приемопередатчики	78
1.11. Аппаратные контроллеры PCI Express	81
1.12. Модуль DeviceDNA	82
1.13. Модуль AMS (Agile Mixed Signal, только для серии 7)	83
1.14. Таблицы характеристик ПЛИС Xilinx	84
1.15. ПЛИС с архитектурой CPLD	87
1.16. Условное обозначение микросхем ПЛИС Xilinx	89
2. САПР ISE и Vivado — быстрый старт	91
2.1. Быстрый старт в САПР Vivado	93
2.2. Быстрый старт в САПР ISE	109
3. Язык описания аппаратуры VHDL	118
3.1. Основы языка VHDL	122
3.2. Структура модуля на VHDL	123
3.3. Соединение модулей	125
3.4. Типы данных	129
3.4.1. Скалярные типы	130
3.4.2. Композитные типы	134
3.4.3. Преобразования типов	136
3.4.4. Указатели	139
3.4.5. Файлы (указатели на файлы)	139

3.5. Операторы языка VHDL	139
3.5.1. Логические операторы	140
3.5.2. Операторы отношения	140
3.5.3. Арифметические операторы	140
3.5.4. Операторы сдвига	141
3.5.5. Операторы сцепления	142
3.6. Конкурирующие (concurrent) операции	142
3.7. Процедурные блоки	143
3.8. Управляющие структуры	145
3.8.1. Оператор if	145
3.8.2. Оператор case	147
3.8.3. Оператор with..select	149
3.8.4. Оператор for..loop	150
3.8.5. Оператор while..loop	151
3.9. Процедуры и функции	152
3.9.1. Процедуры	152
3.9.2. Функции	154
3.10. Условная и множественная генерация	155
3.11. Организация проекта и параметризованные модули ..	156
3.12. Пакеты и библиотеки	160
3.13. Моделирование на VHDL	161
3.13.1. Основы моделирования	161
3.13.2. Использование файловых операций	168
4. Язык описания аппаратуры Verilog	170
4.1. Основы языка Verilog	170
4.2. Типы данных	171
4.3. Формат представления значений	173
4.4. Массивы	177
4.5. Порты	178
4.6. Соединение модулей	179
4.7. Операторы языка Verilog	182
4.7.1. Побитовые операторы (bitwise)	182
4.7.2. Арифметические операторы (arithmetic)	183
4.7.3. Логические операторы (logical)	183
4.7.4. Операторы отношения (relational)	184
4.7.5. Операторы равенства/тождества (equality)	185
4.7.6. Операторы свертки (reduction)	185
4.7.7. Условный оператор (conditional)	185
4.7.8. Операторы сцепления/повторения (concatenation/re- plication)	186
4.7.9. Операторы сдвига (shift)	186

4.8. Приоритет операторов	187
4.9. Процедурные блоки	188
4.10. Блокирующее и неблокирующее присваивание в процедурных блоках	191
4.11. Управляющие структуры	194
4.11.1. Условный оператор if/then	194
4.11.2. Оператор case	197
4.11.3. Оператор for	198
4.12. Задачи и функции	199
4.13. Организация проекта и параметризованные модули ..	201
4.14. Условная генерация	204
4.15. Моделирование на Verilog	206
4.16. Создание отчетов и сообщений	212
5. Дополнительные инструменты проектирования на базе ПЛИС	216
5.1. IP Integrator	216
5.2. Работа с процессорной системой ARM	218
5.3. Порядок разработки программного проекта в SDK ...	223
5.4. Софт-процессоры	233
5.4.1. Процессор MicroBlaze	234
5.4.2. Процессор PicoBlaze	238
5.4.3. Перспективы применения многоядерных процессорных систем в проектах на ПЛИС	240
5.5. Vivado HLS (High-Level Synthesis)	241
5.5.1. Циклы в Vivado HLS	247
5.5.2. Массивы и работа с памятью	249
5.5.3. Поддержка языков высокого уровня	253
5.5.4. Быстрый старт в Vivado HLS	254
5.5.5. Vivado HLS в сравнении с другими средствами проектирования Xilinx	262
5.6. Отладка в реальном времени с помощью приложения ChipScope	264
5.7. Заключение	267
6. Примеры реализации схем на базе ПЛИС	268
6.1. Комбинационная логика	268
6.2. Мультиплексоры	270
6.3. Арифметические операции	272
6.4. Триггеры и регистры	273
6.5. Сдвиговые регистры	278
6.6. Счетчики	280
6.7. Делители частоты	285

6.8. Таймеры.....	286
6.9. Широтно-импульсная модуляция.....	289
6.10. Модули памяти.....	291
6.11. Конечный автомат.....	298
6.11.1. Конечные автоматы Мили и Мура.....	302
6.11.2. Особенности описания конечных автоматов для проектов в ПЛИС.....	303
6.12. Контроллер UART.....	307
6.13. Тактовый генератор.....	313
6.13.1. Настройка тактового генератора.....	313
6.13.2. Формирование выходного тактового сигнала.....	316
6.14. Синхронизация асинхронных сигналов.....	318
6.15. Подключение SPI.....	322
6.16. Параллельные интерфейсы, синхронизированные с источником — АЦП и СРІ.....	327
6.17. Интерфейс VGA.....	333
6.18. Планирование сигналов сброса.....	341
6.19. Учет наборов управляющих сигналов для серии 7....	343
6.20. Умножение.....	344
6.20.1. Умножение с помощью компонентов DSP48.....	345
6.20.2. Умножение с помощью таблиц.....	345
6.20.3. Умножение на константу.....	346
6.20.4. Последовательное умножение.....	347
6.20.5. Реализация параллельного умножения на базе логических ячеек ПЛИС.....	349
6.21. Деление.....	351
6.22. Операции с плавающей точкой.....	353
6.23. Трансцендентные функции.....	358
6.23.1. Табличное представление трансцендентных функций.....	358
6.23.2. Алгоритм CORDIC.....	359
6.24. Вычисление экспоненты.....	362
6.25. Простое процессорное ядро.....	363
6.25.1. Представление процессора в виде конечного автомата.....	363
6.25.2. Проектирование простого процессорного ядра.....	364
6.25.3. Примеры задач для простых процессорных ядер..	373
6.26. Фильтр с конечной импульсной характеристикой.....	376
6.27. Сложные для самостоятельной разработки интерфейсы.....	381
6.27.1. Контроллер памяти DDR3/4.....	381

6.27.2. USB	382
6.27.3. Ethernet MAC	382
6.28. Выводы по главе	383
7. Оптимизация проекта	384
7.1. Методология оптимизации проекта	385
7.2. Использование аппаратных компонентов	386
7.3. Правила описания синхронных схем	387
7.4. Управление настройками САПР	396
7.4.1. Настройки синтеза	396
7.4.2. Настройки размещения и трассировки (implementation)	399
7.4.3. Оптимизация проекта с помощью изменения настроек САПР	400
7.5. Анализ проекта в САПР Vivado	402
7.5.1. Анализ результатов синтеза	404
7.5.2. Анализ результатов размещения и трассировки	413
7.6. Использование проектных ограничений формата xdc в САПР Vivado для работы с ПЛИС Xilinx	415
7.6.1. Роль проектных ограничений в маршруте проектирования для ПЛИС	415
7.6.2. Проектные ограничения для закрепления выводов ПЛИС	417
7.6.3. Описание временных ограничений	419
7.6.4. Описание временных исключений (exceptions)	425
7.6.5. Описание топологических ограничений	427
7.7. Применение языка Tcl для автоматизации процессов САПР Vivado	432
8. Проектирование устройств с применением ПЛИС	434
8.1. Питание	434
8.2. Сопряжение ПЛИС с другими микросхемами	439
8.3. Загрузка конфигурации	441
8.4. Источники тактовых сигналов	448
8.5. Трассировка печатной платы и целостность сигналов	449
8.5.1. Целостность сигналов	450
8.5.2. САПР печатных плат	455
8.5.3. Особенности трассировки печатных плат для ПЛИС	456
8.6. Охлаждение	459
8.7. Организационные аспекты проектирования	462
8.7.1. Подготовительные организационно-технические мероприятия	464
8.7.2. Порядок разработки	470
8.8. Отладочные платы	74

8.8.1. Платы на базе Spartan-6 (устаревающие).....	472
8.8.2. Платы на базе Spartan-7.....	474
8.8.3. Платы на базе Artix-7.....	475
8.8.4. Платы на базе Zynq-7000.....	479
8.8.5. Платы на базе Kintex-7.....	483
8.8.6. Платы на базе Zynq UltraScale+ MPSOC.....	484
8.8.7. Другие производители отладочных плат.....	485
8.9. Оценка квалификации разработчика.....	486
8.9.1. Приблизительный перечень общих навыков.....	487
8.9.2. Навыки работы с проектными ограничениями.....	488
8.9.3. Навыки планирования выводов ПЛИС.....	489
8.9.4. Навыки работы с инструментами проектирования..	490
8.9.5. Навыки моделирования.....	492
8.10. Учебные курсы компании Xilinx.....	495
8.11. Старт с ПЛИС Xilinx.....	498
8.11.1. Старт для индивидуального разработчика.....	499
8.11.2. Старт для учебной организации.....	499
8.11.3. Старт для проектной организации.....	501
Заключение.....	503
Приложение 1. Проектирование для ПЛИС Xilinx на языке System Verilog в САПР Vivado.....	504
Приложение 2. Примерный перечень самостоятельных и учеб- ных проектов.....	530
Литература.....	532